

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040002283 A  
(43)Date of publication of application: 07.01.2004

(21)Application number: 1020020037733  
(22)Date of filing: 29.06.2002

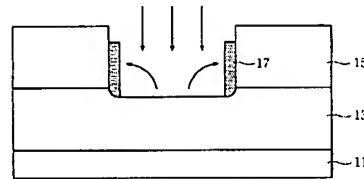
(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: AHN, SEONG HWAN  
CHOI, BONG HO

(51)Int. Cl. H01L 21/28

## (54) METHOD FOR FABRICATING FINE CONTACT OF SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for fabricating a fine contact of a semiconductor device is provided to reduce the size of a contact hole by forming an etch barrier layer on the sidewall of a photoresist pattern through an etch process using non-reactive gas.



CONSTITUTION: An interlayer dielectric(13) is formed on a semiconductor substrate(11). The photoresist pattern(15) for a contact is formed on the interlayer dielectric. The interlayer dielectric is etched by using the photoresist pattern wherein a sputtering-etch process using non-reactive plasma is performed to form an etch barrier layer(17) on the sidewall of the photoresist pattern. The interlayer dielectric is etched by using the etch barrier layer and the photoresist pattern as a mask while reactive plasma is used. The interlayer dielectric is wet-etched to increase the size of the contact hole.

COPYRIGHT KIPO 2004

## Legal Status

Date of final disposal of an application (20040910)

Patent registration number (1004519870000)

Date of registration (20040930)

Date of opposition against the grant of a patent (00000000)

10-2004-0002283

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 21/28(11) 공개번호 10-2004-0002283  
(43) 공개일자 2004년01월07일

(21) 출원번호	10-2002-0037733
(22) 출원일자	2002년06월29일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 안성환 경기도이천시대월면현대6차아파트603동1503호 최봉호
(74) 대리인	서울특별시서초구반포동반포아파트16동305호 이후동, 이정훈

심사청구: 있음(54) 반도체소자의 미세콘택 형성방법**요약**

본 발명은 반도체소자의 미세콘택 형성방법에 관한 것으로,

반도체소자의 고집적화에 따른 미세 콘택홀을 용이하게 실시할 수 있도록 하기 위하여 감광막패턴 측벽에 식각장벽층을 형성하되, 비 반응성 플라스마로 감광막패턴으로 인해 노출된 측간절연막을 식각하여 형성함으로써, 이를 이용한 미세 콘택 공정을 용이하게 하고 그에 따른 반도체소자의 고집적화를 가능하게 하는 기술이다.

**도표도****도1****영세서****도면의 간단한 설명**

도 1 는 본 발명의 실시예에 따라 비반응성 플라스마를 이용한 식각공정을 도시한 단면도.

도 2a 는 본 발명의 실시예에 따라 반응성 플라스마를 이용한 식각공정을 도시한 단면도.

도 2b 및 도 2c 는 비 반응성 플라스마 및 반응성 플라스마를 이용한 식각공정 후를 도시한 섀시 사진.

도 3 은 습식식각 후를 도시한 섀시 사진.

도 4 는 감광막패턴 제거 후 남아있는 식각장벽층을 도시한 섀시 사진.

본 발명의 실시예에 따른 반도체소자의 미세콘택 형성방법을 도시한 단면도.

&lt; 도면의 주요부분에 대한 부호의 설명 &gt;

11 : 반도체기판13 : 측간절연막

15 : 감광막패턴17 : 식각장벽층

19 : 콘택홀

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체소자의 미세콘택 형성방법에 관한 것으로, 특히 비반응성 플라스마를 이용한 스퍼터링 식각공정으로 감광막패턴 측벽에 식각장벽층을 형성하고 이를 이용하여 후속공정을 실시함으로써 반도체 소자의 고집적화에 충분한 미세 콘택 공정을 실시할 수 있도록 하는 기술에 관한 것이다.

일반적으로, 메모리 소지에서 중요한 특성인 리프레쉬 타임 ( refresh time ) 은 주로 저장전극 노드와 트랜지스터의 드레인을 연결하는 저장전극 콘택공정시 상기 드레인이 손상되어 발생하는 누설전류에 의해

여 결정된다.

현재 사용되고 있는 노광기술로는 16 M DRAM 까지 콘택홀을 형성할 때 콘택홀 측벽의 도전층과 절연층이 발생하지 않고 소자를 형성할 수 있으나, 소자가 고집적화됨에 따라 단위셀의 크기가 축소되고, 그에 따라서 콘택홀과 도전층의 간격이 좁아지게 된다.

상기와 같이 좁아진 콘택홀을 형성하기 위하여 콘택의 크기를 축소시켜야 하였다.

이를 위하여 해상도가 높은 고가의 장비를 이용하거나, 콘택 식각공정시 플리머를 이용한 포지티브 슬로프 식각을 복합적으로 사용하기도 하였다.

상기 포지티브 슬로프를 사용하여 콘택홀의 크기를 감소시키는 경우 콘택홀의 상측부에서 CD를 작게 형성하는 것이 불가능하고,

콘택홀의 깊이를 낮게 형성하는 경우 슬로프 식각을 실시하더라도 콘택홀 크기를 작게 하는 효과에 한계가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 비 반응성 가스로 노출된 표면을 스퍼터링 식각하여 콘택식각용 감광막패턴의 측벽에 식각장벽층을 형성하여 미세 콘택 공정을 용이하게 실시할 수 있도록 하는 반도체소자의 미세콘택 형성방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 미세콘택 형성방법은,

반도체기판 상에 중간절연막을 형성하는 공정과,

상기 중간절연막 상부에 콘택용 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 마스크로 상기 중간절연막을 식각하고, 비 반응성 플라즈마를 이용하여 스퍼터링 식각함으로써 상기 감광막패턴 측벽에 식각장벽층을 형성하는 공정과,

상기 식각장벽층 및 감광막패턴을 마스크로 하여 상기 중간절연막을 식각하고, 반응성 플라즈마를 이용하여 식각하는 공정과,

상기 중간절연막을 습식방법으로 식각하여 콘택홀의 크기를 증가시키는 공정을 포함하되,

상기 중간절연막은 산화막이나 질화막인 것과,

상기 비 반응성 플라즈마는 비-플로우로 카본 플라즈마 (non-flouro-carbon plasma) 인 것과,

상기 반응성 플라즈마는 플로우로 카본 플라즈마 (flouro-carbon plasma) 인 것과,

상기 식각장벽층은 상기 습식식각 후에 HF를 포함한 용액으로 제거하는 공정을 포함하는 것을 특징으로 한다.

한편, 본 발명의 원리는,

산화막이나 질화막으로 형성된 표면 상부에 콘택마스크를 이용한 노광 및 현상 공정으로 감광막패턴을 형성하고,

이를 마스크로 하여 비 반응성 플라즈마로 상기 표면을 스퍼터링 식각함으로써 상기 감광막패턴 측벽에 식각장벽층을 형성하고,

이를 이용하여 미세 콘택홀을 형성할 수 있도록 하는 것이다.

이하, 첨부된 도면을 참고로 하여 본 발명은 상세히 설명하기로 한다.

도 1 내지 도 4 는 본 발명의 실시예에 따른 반도체소자의 미세콘택 형성방법을 도시한 단면도 및 섀시진이다.

도 1 은 비 반응성 플라즈마에 의한 스퍼터링 식각공정으로 식각장벽층이 형성된 것을 도시한 단면도이다.

도 1을 참조하면, 콘택될 도전층(도시안됨)이 형성된 반도체기판(11) 상부에 중간절연막(13)을 형성한다.

이때, 상기 중간절연막(13)은 산화막이나 질화막으로 형성한다.

그 다음, 상기 중간절연막(13) 상부에 감광막패턴(15)을 형성한다.

이때, 상기 감광막패턴(15)은 콘택마스크(도시안됨)를 이용한 노광 및 현상 공정으로 형성한다.

그 다음, 상기 감광막패턴(15)을 마스크로 하여 상기 중간절연막(13)을 비 반응성 (non flouro-carbon plasma) 플라즈마를 이용해 스퍼터링 식각함으로써 상기 감광막패턴(15) 측벽에 식각장벽층(17)을 형성한다.

도 2a 는 비 반응성 플라즈마에 의한 식각공정후 실시되는 반응성 (flouro-carbon plasma) 플라즈마를 이용한 식각공정을 도시한 단면도이고, 도 2b 및 도 2c 는 상기 도 2a 의 섀시진을 도시하고, 도 2c 는 상기 식각장벽층의 존재를 설명하기 위한 것이다.

도 2a를 참조하면, 상기 감광막패턴(15) 및 식각장벽층(17)을 마스크로 하여 상기 중간절연막(13)을 식각

함으로써 상기 반도체기판(11)을 노출시키는 콘택홀(19)을 형성한다.

이때, 상기 중간절연막(13)의 식각공정은 반응성 플라즈마를 이용하여 실시한 것이다.

여기서, 상기 반응성 플라즈마는  $\text{CF}_4$ 를 포함하는 플라즈마를 말한다.

도 3은 상기 도 2b의 썸 사진 후 습식 식각공정으로 콘택홀 크기를 증가시킨 것을 도시한 썸사진이다.

도 3를 참조하면, 상기 감광막패턴(15)을 제거한다.

그리고, 상기 식각장벽층(17)을 HF를 함유하는 식각용액을 이용하여 제거한다.

도 4는 상기 감광막패턴(15)을 제거하고 남아 있는 식각장벽층(17)을 설명하기 위한 썸사진이다.

#### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 미세콘택 형성방법은, 비 반응성 가스를 이용한 식각공정으로 감광막패턴 측벽에 식각장벽층을 형성하여 콘택홀의 크기를 감소시킴으로써 반도체소자의 고집적화를 가능하게 하는 효과를 제공한다.

#### (5) 청구의 범위

##### 청구항 1

반도체기판 상에 중간절연막을 형성하는 공정과,

상기 중간절연막 상부에 콘택용 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 마스크로 상기 중간절연막을 식각하되, 비 반응성 플라즈마를 이용하여 스퍼터링 식각 함으로써 상기 감광막패턴 측벽에 식각장벽층을 형성하는 공정과,

상기 식각장벽층 및 감광막패턴을 마스크로 하여 상기 중간절연막을 식각하되, 반응성 플라즈마를 이용하여 식각하는 공정과,

상기 중간절연막을 습식방법으로 식각하여 콘택홀의 크기를 증가시키는 공정을 포함하는 반도체소자의 미세콘택 형성방법.

##### 청구항 2

제 1 항에 있어서,

상기 중간절연막은 산화막이나 질화막인 것을 특징으로 하는 반도체소자의 미세콘택 형성방법.

##### 청구항 3

제 1 항에 있어서,

상기 비 반응성 플라즈마는 탄소 플로우로 카본 플라즈마 ( non-flouro carbon plasma ) 인 것을 특징으로 하는 반도체소자의 미세콘택 형성방법.

##### 청구항 4

제 1 항에 있어서,

상기 반응성 플라즈마는 플로우로 카본 플라즈마 ( flouro carbon plasma ) 인 것을 특징으로 하는 반도체소자의 미세콘택 형성방법.

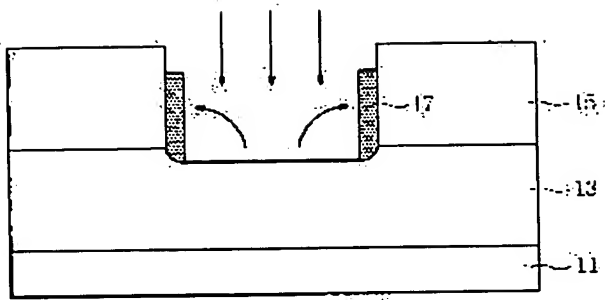
##### 청구항 5

제 1 항에 있어서,

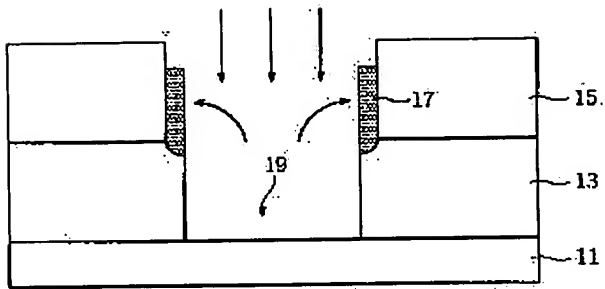
상기 식각장벽층은 상기 습식식각 후에 HF를 포함한 용액으로 제거하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 미세콘택 형성방법.

#### 도면

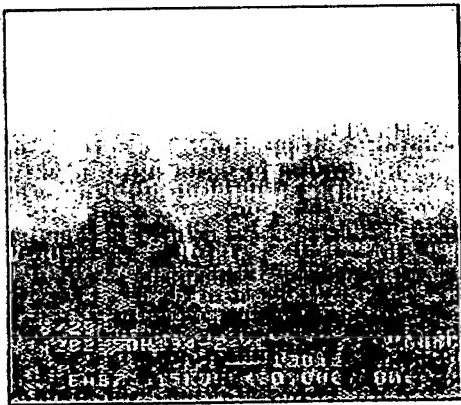
도면1



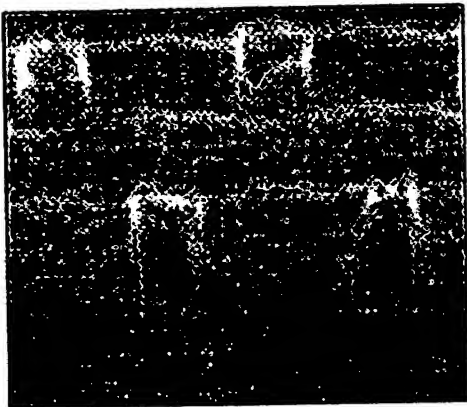
도면2a



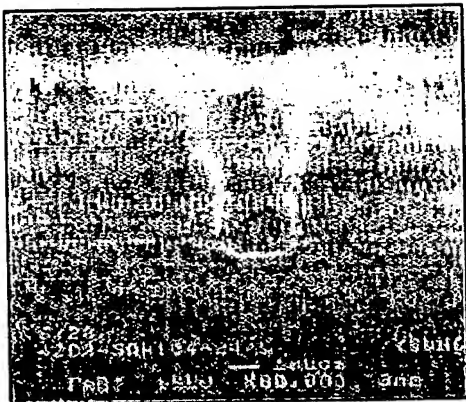
도면2b



5B2b



5B3



5B4

